



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **02100179 A**(43) Date of publication of application: **12.04.90**

(51) Int. Cl.

G06F 15/60(21) Application number: **63252045**(71) Applicant: **NEC CORP**(22) Date of filing: **07.10.88**(72) Inventor: **ASANO HIROKO**(54) **PRODUCTION SYSTEM FOR LOGIC CIRCUIT DIAGRAM**

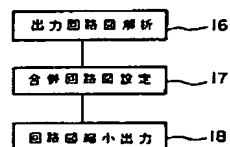
extremely improved for the circuit diagram, and the logic circuit can be analyzed in a short time.

(57) Abstract:

COPYRIGHT: (C)1990,JPO&Japio

PURPOSE: To perform the analysis of a logic circuit in a short time by producing a logic circuit diagram after changing the size of the circuit diagram via a function-based allocation wiring means so as to store each group set by a function element-based grouping means into a single circuit diagram.

CONSTITUTION: In an output circuit diagram analysis process 16, the size of the largest circuit diagram is found. In a combined circuit diagram setting process 17, several circuit diagram of small scales are combined into a single circuit diagram within the largest circuit diagram obtained in the process 16. In a circuit diagram reduction/output process 18, the circuit diagram undergone the process 17 is reduced and outputted by considering the size of the circuit diagram, the size of a form, etc. When the output circuit diagram is hard to see due to its reduction, a logic circuit is analyzed with a window operation performs on a screen. Thus a single circuit diagram suffices in terms of a certain circuit low when the logic circuit is analyzed based on its circuit diagram. Then the viewing performance is



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-100179

⑬ Int.Cl.³

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)4月12日

G 06 F 15/60

3 6 0 K

8125-5B

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 論理回路図発生方式

⑯ 特 願 昭63-252045

⑰ 出 願 昭63(1988)10月7日

⑱ 発 明 者 浅 野 裕 子 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 芦 田 坦 外2名

明 細 書

1. 発明の名称

論理回路図発生方式

2. 特許請求の範囲

1. コンピュータ等のハードウェアの機能を記述した機能記述を記憶する機能記述記憶手段と、論理接続情報を記憶する論理接続情報記憶手段と、前記機能記述記憶手段中に存在する機能要素より前記論理接続情報記憶手段中に存在する論理接続情報を機能毎にグループ分けする機能要素別グループ化手段と、該機能要素別グループ化手段で求めたグループ毎に図面の大きさを可変として回路図を発生させる機能別配置配線手段と、該機能別配置配線手段で発生した回路図を紙面や画面上等の大きさに合わせて縮小し、出力する回路図出力手段とを含むことを特徴とする論理回路図発生方式。

以下余白

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は機能記述を持つ論理回路の回路図発生方式に関する。

〔従来の技術〕

従来の論理回路図発生方式は、機能記述記憶手段、論理接続情報記憶手段、機能要素別グループ化手段、回路図出力手段、および配置配線手段を有して構成されており、1枚の回路図の大きさが予め設定されており、1枚の回路図で収まらない場合、複数の回路図に分割して回路図を発生させていた。

〔発明が解決しようとする課題〕

上述した従来の論理回路図発生方式では、1枚の回路図の大きさが予め指定されており、機能記述で示される1機能の回路図が複数の回路図に分割されてしまい、回路図によって論理回路の解析を行なう場合に、ある回路の流れについて複数の回路図を対象としなければならないという欠点がある。

本発明の目的は、機能別配置配線手段において、機能要素別グループ化手段で設定されたグループ毎に1枚の回路図に収まるように、回路図の大きさを可変として回路図を発生させることにより、回路図によって論理回路の解析を行なう場合に、ある回路の流れについて1枚の回路図を対象とすれば良いため、従来に比べはるかに見やすく短時間で回路解析を行なえる論理回路図発生方式を提供することにある。

【課題を解決するための手段】

本発明による論理回路図発生方式は、コンピュータ等のハードウェアの機能を記述した機能記述を記憶する機能記述記憶手段と、論理接続情報を記憶する論理接続情報記憶手段と、前記機能記述記憶手段中に存在する機能要素より前記論理接続情報記憶手段中に存在する回路図情報を機能毎にグループ分けする機能要素別グループ化手段と、該機能要素別グループ化手段で求めたグループ毎に図面の大きさを可変として回路図を発生させる機能別配置配線手段と、該機能別配置配線手段で

成を示すブロック図である。

1機能回路図情報6は機能要素別グループ化手段3でグループ化された情報の1グループの情報である。シンボル相対位置解析7は1機能回路図情報6内のシンボル間接続情報より各シンボル間の相対位置を求める。シンボル領域設定テーブル8はシンボルの属性より他のシンボルとの間隔を設定している。シンボル位置設定9はシンボル相対位置解析7で求めたシンボル相対位置とシンボル領域設定テーブル8に設定されている情報よりシンボルの回路図上の絶対位置を求める。配線設定10はシンボル位置設定9で設定されたシンボル間の配線を行なう。

第3図、第4図は、第2図の機能別配置配線手段4の動作を説明するための状態図である。1機能回路図情報6にシンボル11、12、13、14、15の回路図情報が格納されている。

第3図はシンボル相対位置解析7を行なった後の状態図である。シンボル11の右側にシンボル12が位置し、シンボル12の上側にシンボル

発生した回路図を紙面等の大きさに合わせ縮小し、出力する回路図出力手段を有している。

【実施例】

次に本発明の実施例について図面を参照して説明する。

第1図は本発明の一実施例による論理回路図発生方式の構成を示すブロック図である。

機能記述記憶手段1はコンピュータ等のハードウェアの機能を記述した機能記述を記憶する。論理接続情報記憶手段2は論理接続情報を記憶する。機能要素別グループ化手段3は機能記述記憶手段1に存在する機能要素より論理接続情報記憶手段2に存在する論理接続情報を機能毎にグループ分けする。機能別配置配線手段4は機能要素別グループ化手段3で求めたグループ毎に図面の大きさを可変として回路図を発生する。回路図出力手段5は機能要素別配置配線手段4で発生した回路図を紙面等の大きさに合わせて縮小し、出力する。

第2図は第1図中の機能別配置配線手段4の情

13が位置し、シンボル13の左側にシンボル14が位置し、シンボル14の左側にシンボル15が位置している。

第4図はシンボル位置設定9後の状態図である。シンボル11は右隣と5左隣と5上隣と3下隣と10以上の間隔が必要なこと、シンボル12は右隣と3左隣と1上隣と10下隣と5以上の間隔が必要なこと、シンボル13は右隣と1左隣と1上隣と1下隣と1以上の間隔が必要なこと、シンボル14は右隣と3左隣と1上隣と4下隣と5以上の間隔が必要なこと、シンボル15は右隣と3左隣と3上隣と3下隣と5以上の間隔が必要なことをシンボル領域設定テーブル8より求め、シンボル11と12の間は5以上でありシンボル11と14の間は5以上でありシンボル12と13の間は10以上でありシンボル13と14の間は3以上でありシンボル14と15の間は3以上である回路図を発生したことを示している。

第5図は第1図中の回路図出力手段5の構成を示すブロック図である。

出力回路図解析 16 は最大回路図の大きさを求める。合併回路図設定 17 は出力回路図解析 16 で求めた最大回路図面内に小規模な回路図の残りを合併させ 1 回路図とする。回路図縮小出力 18 では合併回路図設定 17 の終わった回路図について回路図の大きさと出力する紙面等の大きさを考慮し回路図を縮小し、出力する。出力された回路図が縮小により見にくい場合、画面上でのウィンド操作によって論理回路の解析を行なう。

第 6 図、第 7 図及び第 8 図は第 5 図の回路図出力手段 5 の動作を説明するための状態図である。

第 6 図はある回路図情報より、機能記述情報記憶手段 1、論理接続情報記憶手段 2、機能要素別グループ化手段 3、および機能別配置配線手段 4 の結果を示す図であって、回路図 19、20、21 が発生したことを示している。回路図 19 は縦 50 横 100 の大きさであり、回路図 20 は縦 10 横 20 の大きさであり、回路図 21 は縦 10 横 70 の大きさである。

第 7 図は合併回路図設定 17 の結果を示す図で

ある。合併回路図設定 17 は出力回路図解析 16 により最大回路図の大きさは縦 50 横 100 であることを求め、回路図 20、21 を合併回路図設定により 1 つの回路図 22 に設定した状態を示す。

第 8 図は回路縮小出力 18 の結果を示す図である。出力する紙面の大きさが、縦 40 横 80 の場合、回路縮小出力 18 は回路図 19、22 の大きさを縦 40 横 80 に縮小し出力する。

【発明の効果】

以上説明したように本発明は、機能別配置配線手段において機能要素別グループ化手段で設定されたグループ毎に 1 枚の回路図に収まるように回路図の大きさを可変として回路図を発生させることにより、回路図によって論理回路の解析を行なう場合に、ある回路の流れについて 1 枚の回路図を対象とすれば良いため、従来に比べはるかに見やすく、短時間で論理回路の解析を行なえる回路図を提供することが出来るという効果がある。

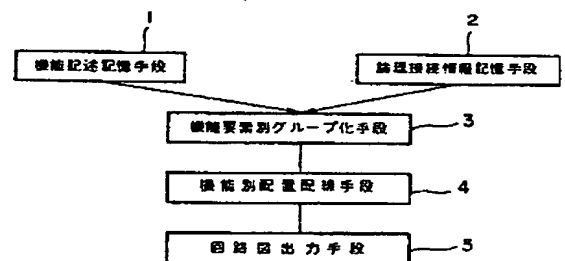
以下余白

4. 図面の簡単な説明

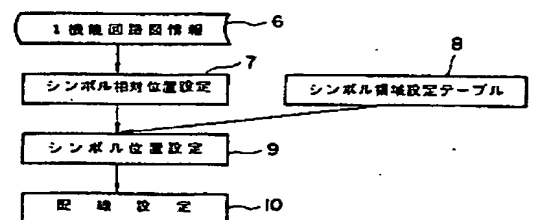
第 1 図は本発明の一実施例による論理回路図発生方式の構成を示すブロック図、第 2 図は第 1 図中の機能別配置配線手段の構成を示すブロック図、第 3 図および第 4 図は第 2 図の機能別配置配線手段の動作を説明するための状態図、第 5 図は第 1 図中の回路図出力手段の構成を示すブロック図、第 6 図、第 7 図及び第 8 図は第 5 図の回路図出力手段の動作を説明するための状態図である。

1 … 機能記述記憶手段、2 … 論理接続情報記憶手段、3 … 機能要素別グループ化手段、4 … 機能別配置配線手段、5 … 回路図出力手段、6 … 1 機能回路図情報、7 … シンボル相対位置設定、8 … シンボル領域設定テーブル、9 … シンボル位置設定、10 … 配線設定、11、12、13、14、15 … シンボル、16 … 出力回路図解析、17 … 合併回路図設定、18 … 回路図縮小出力、19、20、21、22、23 … 回路図。

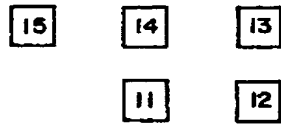
第 1 図



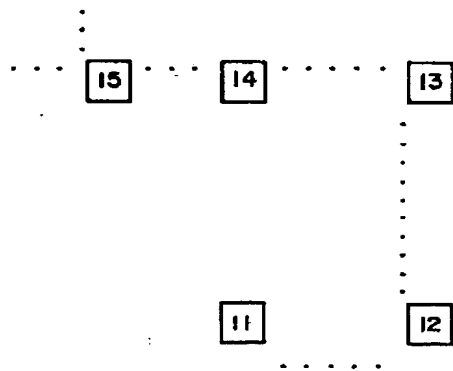
第 2 図



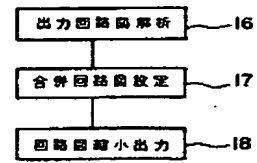
第 3 図



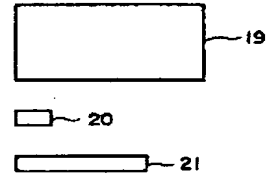
第 4 図



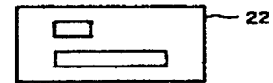
第 5 図



第 6 図



第 7 図



第 8 図

